

“첨단반도체공정” 졸업시험 문제 풀

1. 실리콘(Si) unit cell인 i)diamond 구조를 sketch하고, ii)diamond 구조내에서 (100), (110), (111) plane의 2-D 원자 배열도를 sketch하시오.
2. Epitaxy 성장시 layer내 defect의 주요한 원인은 무엇이며 제거방법을 설명하시오.
3. SiO₂/Si interface에서 fixed charge(Q_f)의 생성원인은 무엇이며, 소자에 어떠한 영향을 미치고, 이를 최소화하는 방법을 설명하시오.
4. 나노 MOSFET 트랜지스터에서 high K gate dielectric을 사용하는 이유는 무엇이며 어떠한 사항이 현재 이슈가 되고 있는가?
5. 나노 MOSFET 트랜지스터에서 scale rule를 설명하시오? (예) substrate doping concentration, t_{ox}, L, x_j, W 등으로 설명)
6. Ion implantation시 channeling을 최소화하는 방법을 설명하시오.
7. LPCVD를 이용하여 film을 증착할 때 웨이퍼를 여러장 세워서 겹겹히 놓았는데도 모든 웨이퍼위에서 uniform하게 film이 성장할 수 있는 이유를 설명하시오.
8. RF magnetron sputtering을 이용하여 금속 증착시 금속 타겟에서 방출된 electron은 어떠한 과정을 거쳐 자신의 목적을 달성하는지 설명하시오.
9. UV lithography 과정 중 high resolution 패턴 전사(transfer)를 위해선 다음의 공정 파라미터들을 어떻게 조정해야 하는지를 설명하시오 (예) UV wavelength, PR type & thickness, refractive index in media, numerical aperture 등으로 설명)
10. RIE는 chemical reaction, physical energy를 이용하여 dry etching을 하고 있다. Anisotropic vertical etching을 위해서 챔버내 압력, radical의 physical energy 등을 어떻게 조절해야만 얻어질 수 있는지 설명하시오.